

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-303207

(43)Date of publication of application : 13.11.1998

(51)Int.Cl. H01L 21/322
H01L 21/02
H01L 21/20

(21)Application number : 09-106341 (71)Applicant : HITACHI LTD

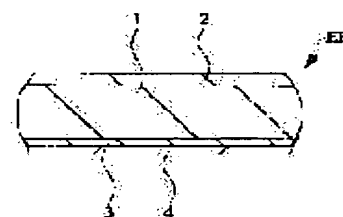
(22)Date of filing : 23.04.1997 (72)Inventor : KONDO TAIICHI

(54) SEMICONDUCTOR WAFER, ITS MANUFACTURE, AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the yield and reliability of a semiconductor integrated circuit device by obtaining a thin film epitaxial wafer having a high gettering effect.

SOLUTION: An epitaxial layer 2 composed of p-type single-crystal silicon having a thickness of about 1 μ m is formed on the surface of a main body 1 of a p-type single-crystal silicon semiconductor substrate, and a gettering layer 3 is formed on the backside of the main body 1 by forming a high-concentration boron area. In addition, a silicon film 4 is formed on the gettering layer 3 for preventing the automatic doping of the layer 3 with boron which occurs when the epitaxial layer 2 is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-303207

(43) 公開日 平成10年(1998)11月13日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/322
21/02
21/20

H 0 1 L 21/322
21/02
21/20

G
B

審査請求 未請求 請求項の数 9 O L (全 8 頁)

(21) 出願番号 特願平9-106341

(22) 出願日 平成9年(1997)4月23日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 近藤 泰一

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(74) 代理人 弁理士 筒井 大和

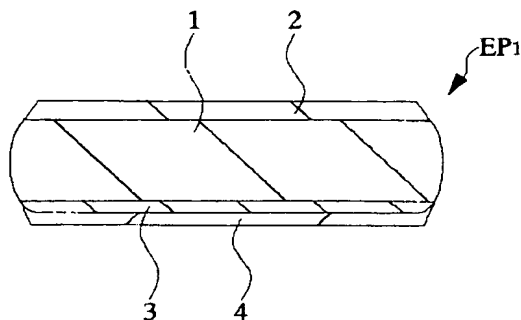
(54) 【発明の名称】 半導体ウエハおよびその製造方法、ならびに半導体集積回路装置

(57) 【要約】

【課題】 ゲッタリング効果の高い薄膜エピタキシャルウエハを得ることによって、半導体集積回路装置の歩留まりおよび信頼性を向上することができる技術を提供する。

【解決手段】 p型のシリコン単結晶で構成される半導体基板本体1の表面には、p型のシリコン単結晶で構成される厚さ約1 μ mのエピタキシャル層2が形成され、半導体基板本体1の裏面には、高濃度のボロン領域が形成されてゲッタリング層を構成している。さらに、上記ゲッタリング層3の上には、エピタキシャル層2を形成する際に生じるボロンのオートドーピングを防ぐためのシリコン膜4が被着されている。

図 1



1; 半導体基板本体
2; エピタキシャル層
3; ゲッタリング層
4; シリコン膜

【特許請求の範囲】

【請求項1】 所定導電型の不純物を含有する半導体基板本体の表面に、前記半導体基板本体の不純物と同一導電型で、かつ、前記半導体基板本体の不純物の濃度と同じ濃度の不純物を含有するエビタキシャル層を設け、前記半導体基板本体の裏面に、汚染不純物を捕縛するゲッタリング層を設けたことを特徴とする半導体ウエハ。

【請求項2】 所定導電型の高濃度の不純物を含有する半導体基板本体の表面に、不純物を含有しないノンドーブエビタキシャル層を設け、前記ノンドーブエビタキシャル層の上に、前記半導体基板本体の不純物と同一導電型で、かつ、前記半導体基板本体の不純物の濃度よりも低濃度の不純物を含有するエビタキシャル層、または不純物を含有しないノンドーブエビタキシャル層を設けたことを特徴とする半導体ウエハ。

【請求項3】 請求項1記載の半導体ウエハにおいて、前記ゲッタリング層の上に、シリコン膜、酸化膜またはノンドーブガラス膜を被着したことを特徴とする半導体ウエハ。

【請求項4】 請求項1記載の半導体ウエハにおいて、前記ゲッタリング層は、前記半導体基板本体の不純物と同一導電型で、かつ、前記半導体基板本体の不純物の濃度よりも高濃度の不純物を含有する半導体領域、または酸素イオンが導入された領域であることを特徴とする半導体ウエハ。

【請求項5】 請求項2記載の半導体ウエハにおいて、前記半導体基板本体の裏面に、酸化膜を被着した多結晶シリコン膜、またはシリコン膜を設けたことを特徴とする半導体ウエハ。

【請求項6】 所定導電型の不純物を含有する半導体基板本体の表面に、前記半導体基板本体の不純物と同一導電型で、かつ、前記半導体基板本体の不純物の濃度と同じ濃度の不純物を含有するエビタキシャル層を形成する工程と、前記半導体基板本体の裏面に、汚染不純物を捕縛するゲッタリング層を形成する工程とを有することを特徴とする半導体ウエハの製造方法。

【請求項7】 所定導電型の高濃度の不純物を含有する半導体基板本体の表面に、不純物を含有しないノンドーブエビタキシャル層を形成する工程と、前記ノンドーブエビタキシャル層の上に、前記半導体基板本体の不純物と同一導電型で、かつ、前記半導体基板本体の不純物の濃度よりも低濃度の不純物を含有するエビタキシャル層、または不純物を含有しないノンドーブエビタキシャル層を形成する工程とを有することを特徴とする半導体ウエハの製造方法。

【請求項8】 所定導電型の不純物を含有する半導体基板本体の表面に、前記半導体基板本体の不純物と同一導電型で、かつ、前記半導体基板本体の不純物の濃度と同じ濃度の不純物を含有するエビタキシャル層を設け、前記半導体基板本体の裏面に、汚染不純物を捕縛するゲ

タリング層を設けたことを特徴とする半導体集積回路装置。

【請求項9】 所定導電型の高濃度の不純物を含有する半導体基板本体の表面に、不純物を含有しないノンドーブエビタキシャル層を設け、前記ノンドーブエビタキシャル層の上に、前記半導体基板本体の不純物と同一導電型で、かつ、前記半導体基板本体の不純物の濃度よりも低濃度の不純物を含有するエビタキシャル層、または不純物を含有しないノンドーブエビタキシャル層を設けたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体ウエハ、半導体ウエハの製造方法および半導体集積回路装置技術に関し、特に、半導体基板本体の表面にエビタキシャル層を有するエビタキシャルウエハ、エビタキシャルウエハの製造方法およびそれを用いた半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】エビタキシャルウエハは、これまで主にバイポーラデバイスに用いられてきたが、歩留まりの向上を目的に、MOS (Metal Oxide Semiconductor) デバイスへのエビタキシャルウエハの適用が検討されている。

【0003】特に、DRAM (Dynamic Random Access Memory) においては、メモリセルのリフレッシュ特性の向上およびメモリセル選択用MISFET (Metal Insulator Semiconductor Field Effect Transistor) のゲート絶縁膜の膜質の向上が可能であることから、64Mbit以降のDRAMでは、半導体基板本体の表面に約1μmの厚さのエビタキシャル層を有したエビタキシャルウエハ（以下、薄膜エビタキシャルウエハと称す）の実用化が検討されている。

【0004】なお、上記薄膜エビタキシャルウエハに関しては、例えば、日経マグロウヒル社発行「日経マイクロデバイス」1996年6月1日号、P126～P133に記載してある。

【0005】

【発明が解決しようとする課題】本発明者が検討したところによると、薄膜エビタキシャルウエハには以下の問題が生ずる。

【0006】すなわち、薄膜エビタキシャルウエハを構成するエビタキシャル層または半導体基板本体における不純物拡散を抑えるために、エビタキシャル層または半導体基板本体の不純物濃度は低く設定されるが、これによって、薄膜エビタキシャルウエハの汚染不純物のゲッタリング効果が低下する。

【0007】汚染不純物はナトリウム (Na)、カリウム (K) 等のアルカリ金属、または鉄 (Fe)、金 (Au) 等の重金属原子であり、アルカリ金属はMOSデバ

イスのゲート絶縁膜中またはゲート絶縁膜とエピタキシャル層との間に存在し、しきい値電圧を変動させる。また、重金属はエピタキシャル層または半導体基板本体を構成する結晶、例えばシリコン単結晶内で析出し、転位や積層欠陥の発生原因となり、重金属原子自身もキャリアトラップを形成してライフタイムを減少させる。

【0008】そこで、薄膜エピタキシャルウエハでは、半導体基板本体に元々存在する酸素を利用したイントリンシック・ゲッターリング技術によって、汚染不純物の影響を取り除いている。

【0009】ところで、上記イントリンシック・ゲッターリング技術では、酸素濃度が低いとゲッターリング効果が弱くなり、また、酸素濃度が高いと欠陥のないデヌーデッド・ゾーンが形成できなくなるため、酸素濃度を最適化することが重要である。しかし、最適な酸素濃度の範囲は狭く、また、一つのインゴット内でも酸素濃度は不均一となることから、最適な酸素濃度を有しゲッターリング効果の高い薄膜エピタキシャルウエハを得ることは難しい。

【0010】本発明の目的は、ゲッターリング効果の高い薄膜エピタキシャルウエハを得ることによって、半導体集積回路装置の歩留まりおよび信頼性を向上することができる技術を提供することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。すなわち、本発明の半導体ウエハは、所定導電型の不純物を含有する半導体基板本体の表面に、前記半導体基板本体の不純物と同一導電型で、かつ、前記半導体基板本体の不純物の濃度と同じ濃度の不純物を含有するエピタキシャル層を設け、前記半導体基板本体の裏面に、汚染不純物を捕縛するゲッターリング層を設けるものである。

【0013】上記した手段によれば、薄膜エピタキシャルウエハの裏面に設けられたゲッターリング層によって、半導体素子の製造プロセスで発生するプロセス起因の汚染不純物を捕縛することができるので、薄膜エピタキシャルウエハの表面に設けられた半導体素子が形成されるエピタキシャル層に、上記汚染不純物の影響を及ぼさないようにすることができる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0015】なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0016】（実施の形態1）図1に、本発明の一実施

の形態である薄膜エピタキシャルウエハEP₁の断面図を示す。

【0017】p型のシリコン単結晶によって構成される半導体基板本体1の表面には、p型のシリコン単結晶からなる厚さ約1μmのエピタキシャル層2が形成され、半導体基板本体1の裏面には、ゲッターリング効果を有する高濃度のボロン領域が形成されてゲッターリング層3を構成している。上記半導体基板本体1および上記エピタキシャル層2の抵抗率は共に約10Ω・cmであり、上記ゲッターリング層3の不純物濃度は約10¹⁹cm⁻³である。

【0018】さらに、エピタキシャル層2を形成する際に生じるゲッターリング層3からのボロンのオートドーピングを防ぐために、ゲッターリング層3の上には、シリコン膜4が被着されている。

【0019】次に、本実施の形態1の薄膜エピタキシャルウエハEP₁の製造方法を図2を用いて説明する。

【0020】まず、p型の半導体基板本体1（図2（a））の裏面に、高濃度のボロン領域によって構成されるゲッターリング層3を形成する（図2（b））。次に、シリコン5aをコーティングしたサセプタ5b上に上記半導体基板本体1を置き、塩化水素（HCl）ガスを流しながらサセプタ5bからシリコンを半導体基板本体1の裏面に転写させて、ゲッターリング層3上をシリコン膜4によって被覆する（図2（c））。その後、半導体基板本体1の表面に、例えばモノシラン（SiH₄）ガスと水素（H₂）ガスとを用い、例えば980℃程度のエピタキシャル成長法等によって、p型のエピタキシャル層2を形成することにより、薄膜エピタキシャルウエハEP₁を製造する（図2（d））。

【0021】次に、上記薄膜エピタキシャルウエハEP₁を用いたnチャネル型MISFETを示す半導体基板の要部断面図を図3に示す。

【0022】半導体基板本体1の表面には、厚さ約1μmのエピタキシャル層2が形成され、このエピタキシャル層2の主面上には、酸化シリコン膜からなるフィールド絶縁膜6が形成されている。なお、図示はしないが、フィールド絶縁膜6の下層にはチャネルストッパ領域が形成されている。

【0023】フィールド絶縁膜6に囲まれた素子形成領域には、nチャネル型MISFETが形成されている。nチャネル型MISFETは、一対のn⁻型半導体領域7および一対のn⁺型半導体領域8によってソース領域、ドレイン領域が構成されている。

【0024】また、上記一対のn⁻型半導体領域7の間のエピタキシャル層2の表面には、しきい値電圧制御層9が形成されている。このしきい値電圧制御層9の上には、酸化シリコン膜でゲート絶縁膜10が構成され、その上にはn型の多結晶シリコン膜でゲート電極11が構成されている。

10

20

30

40

50

【0025】nチャネル型MISFETの上には、例えば酸化シリコン膜からなる絶縁膜12が堆積されており、この絶縁膜12の所定の位置には接続孔13が設けられ、配線層14が接続孔13を通じてn⁺型半導体領域8と電気的に接続されている。配線層14の上には、例えば窒化シリコン膜と酸化シリコン膜との積層膜からなる絶縁膜15が堆積されている。

【0026】半導体基板本体1の裏面には、ゲッターリング層3が形成され、さらに、ゲッターリング層3の上には、シリコン膜4が被着されている。

【0027】次に、図3に示した薄膜エピタキシャルウエハEP₁を用いたnチャネル型MISFETの製造方法を説明する。

【0028】まず、エピタキシャル層2の主面上に、LOCOS法等によって酸化シリコン膜からなるフィールド絶縁膜6を形成する。次いで、フィールド絶縁膜6に囲まれた素子形成領域に熱酸化法等によって、酸化シリコン膜からなるゲート絶縁膜10を形成する。

【0029】次に、エピタキシャル層2のチャネル領域へp型不純物、例えばボロンを導入してしきい値電圧制御層9を形成した後、エピタキシャル層2上にCVD (Chemical Vapor Deposition)法でリンを添加した多結晶シリコン膜を堆積し、次いで、上記多結晶シリコン膜をエッチングして、多結晶シリコン膜によって構成されるゲート電極11を形成する。

【0030】次に、ゲート電極11をマスクにして、エピタキシャル層2にn型不純物、例えば砒素を導入し、nチャネル型MISFETのソース領域、ドレイン領域の一部を構成する低濃度のn⁺型半導体領域7を形成する。

【0031】次に、エピタキシャル層2上にCVD法で堆積した酸化シリコン膜をRIE (Reactive Ion Etching) 法でエッチングして、ゲート電極11の側壁にサイドウォールスペーサ16を形成する。次いで、ゲート電極11およびサイドウォールスペーサ16をマスクにして、エピタキシャル層2にn型不純物、例えばリンを導入し、nチャネル型MISFETのソース領域、ドレイン領域の他の一部を構成する高濃度のn⁺型半導体領域8を形成する。

【0032】その後、エピタキシャル層2上に絶縁膜12を堆積し、この絶縁膜12をエッチングして接続孔13を開孔した後、絶縁膜12上に堆積した金属膜をエッチングして配線層14を形成し、次いで、配線層14上を絶縁膜15で被覆することにより、前記図3に示した本実施の形態1のnチャネル型MISFETが完成する。

【0033】このように、本実施の形態1によれば、半導体基板本体1の裏面に設けられたゲッターリング層(高濃度のボロン領域)3によって半導体素子の製造プロセスで発生するプロセス起因の汚染不純物を捕縛すること

ができる。また、このゲッターリング層3の上にシリコン膜4を被着することにより、エピタキシャル層2を形成する際にゲッターリング層3中のボロンが半導体基板本体1の裏面から抜け出して、エピタキシャル層2にドーピングされてしまう、いわゆるボロンのオートドーピングを防ぐことができる。

【0034】(実施の形態2) 本発明の他の実施の形態である薄膜エピタキシャルウエハEP₂、およびその製造方法を図4を用いて説明する。

【0035】図4(c)に示すように、前記実施の形態1に記載した薄膜エピタキシャルウエハEP₂と同様に、p型の半導体基板本体1の表面には、p型のエピタキシャル層2が形成され、半導体基板本体1の裏面には、高濃度のボロン領域が形成されてゲッターリング層3を構成している。しかし、エピタキシャル層2を形成する際に生じるゲッターリング層3からのボロンのオートドーピングを防ぐために、ゲッターリング層3の上には、酸化膜17が被着されている。

【0036】上記薄膜エピタキシャルウエハEP₂は、まず、p型の半導体基板本体1(図4(a))の裏面に、高濃度のボロン領域によって構成されるゲッターリング層3を形成した後、ゲッターリング層3上を酸化膜17によって被覆し(図4(b))、次いで、半導体基板本体1の表面にp型のエピタキシャル層2を形成することによって、製造される(図4(c))。

【0037】このように、本実施の形態2によれば、半導体基板本体1の裏面に設けられたゲッターリング層(高濃度のボロン領域)3によって半導体素子の製造プロセスで発生するプロセス起因の汚染不純物を捕縛することができる。また、このゲッターリング層3の上に酸化膜17を被着することにより、エピタキシャル層2を形成する際に生じるボロンのオートドーピングを防ぐことができる。

【0038】(実施の形態3) 本発明の他の実施の形態である薄膜エピタキシャルウエハEP₃、およびその製造方法を図5を用いて説明する。

【0039】図5(c)に示すように、p型の半導体基板本体1の表面には、p型のエピタキシャル層2が形成され、半導体基板本体1の裏面には、高濃度の酸素領域が形成されてゲッターリング層18を構成している。上記ゲッターリング層18の酸素濃度は約 10^{18} cm^{-3} 以上である。

【0040】上記薄膜エピタキシャルウエハEP₃は、まず、p型の半導体基板本体1(図5(a))にイオン打ち込み法により酸素イオンを導入し、半導体基板本体1の裏面にゲッターリング層18を形成した後(図5(b))、半導体基板本体1の表面にp型のエピタキシャル層2を形成することによって、製造される(図5(c))。

【0041】このように、本実施の形態3によれば、半

導体基板本体1の裏面に設けられたゲッターリング層(高濃度の酸素領域)18によって半導体素子の製造プロセスで発生するプロセス起因の汚染不純物を捕縛することができる。

【0042】(実施の形態4)本発明の他の実施の形態である薄膜エピタキシャルウエハEP、およびその製造方法を図6を用いて説明する。

【0043】図6(c)に示すように、p型の半導体基板本体1の表面には、エピタキシャル層2が形成され、半導体基板本体1の裏面には、半導体基板本体1の裏面に堆積されたBSG(Boron Silicate Glass)膜19からのボロンの拡散によって高濃度のボロン領域が形成されて、ゲッターリング層20を構成している。さらに、エピタキシャル層2を形成する際に生じるボロンのオートドーピングを防ぐために、BSG膜19の上には、ノンドーピングガラス膜21が被着されている。

【0044】上記薄膜エピタキシャルウエハEP、は、まず、p型の半導体基板本体1(図6(a))の裏面にBSG膜19を堆積し、続いて、CVD法によってBSG膜19上にノンドーピングガラス膜21を堆積した後、半導体基板本体1に熱処理を施すことによってBSG膜19中のボロンを半導体基板本体1に拡散させて、高濃度のボロン領域によって構成されるゲッターリング層20を形成し(図6(b))、次いで、半導体基板本体1の表面にp型のエピタキシャル層2を形成することによって、製造される(図6(c))。

【0045】このように、本実施の形態4によれば、半導体基板本体1の裏面に設けられたゲッターリング層(高濃度のボロン領域)20によって半導体素子の製造プロセスで発生するプロセス起因の汚染不純物を捕縛することができる。また、BSG膜19の上にノンドーピングガラス膜21を被着することにより、エピタキシャル層2を形成する際に生じるボロンのオートドーピングを防ぐことができる。

【0046】(実施の形態5)本発明の他の実施の形態である薄膜エピタキシャルウエハEP、およびその製造方法を図7を用いて説明する。

【0047】図7(c)に示すように、p型のシリコン単結晶によって構成される高濃度の半導体基板本体22の表面には、厚さ約1μmのノンドーピングエピタキシャル層23が形成され、さらに、このノンドーピングエピタキシャル層23の上には、厚さ約5μmのp型のシリコン単結晶からなるエピタキシャル層24が形成されている。上記高濃度の半導体基板本体22は、ゲッターリング機能を有しており、その不純物は、例えばボロンであり、その不純物濃度は、例えば約 10^{19} cm^{-3} である。また、上記エピタキシャル層24の抵抗率は、例えば約 $10 \Omega \cdot \text{cm}$ である。

【0048】高濃度の半導体基板本体22の裏面には、多結晶シリコン膜25を構成しており、さらに、エピタ

キシャル層24を形成する際に生じるオートドーピングを防ぐために、多結晶シリコン膜25の上には、酸化膜17が被着されている。

【0049】上記薄膜エピタキシャルウエハEP、は、まず、p型の高濃度の半導体基板本体22の裏面に、多結晶シリコン膜25をCVD法によって堆積し、続いて、多結晶シリコン膜25上を酸化膜17によって被覆した後(図7(a))、高濃度の半導体基板本体22の表面にノンドーピングエピタキシャル層23を形成し(図7(b))、次いで、ノンドーピングエピタキシャル層23上に所望の抵抗率を有するp型のエピタキシャル層24を形成することによって、製造される(図7(c))。

【0050】このように、本実施の形態5によれば、高濃度の半導体基板本体22、その裏面に設けられた多結晶シリコン膜25および半導体基板本体1を多結晶シリコン膜25との接触界面部分によって半導体素子の製造プロセスで発生するプロセス起因の汚染不純物を捕縛することができる。また、高濃度の半導体基板本体22の表面にノンドーピングエピタキシャル層23を設け、高濃度の半導体基板本体22の裏面に設けられたゲッターリング層25の上に酸化膜17を被着することにより、エピタキシャル層24を形成する際に生じるオートドーピングを防ぐことができる。

【0051】(実施の形態6)本発明の他の実施の形態である薄膜エピタキシャルウエハEP、およびその製造方法を図8を用いて説明する。

【0052】図8(c)に示すように、p型のシリコン単結晶によって構成される高濃度の半導体基板本体22の表面には、前記実施の形態5に記載した薄膜エピタキシャルウエハEP、と同様に、厚さ約1μmのノンドーピングエピタキシャル層23が形成され、さらに、このノンドーピングエピタキシャル層23の上には、厚さ約5μmのp型のシリコン単結晶からなるエピタキシャル層24が形成されている。

【0053】この場合、高濃度の半導体基板本体22がゲッターリング機能を有している。

【0054】そして、エピタキシャル層24を形成する際に生じるオートドーピングを防ぐために、高濃度の半導体基板本体22の裏面には、シリコン膜4が被着されている。

【0055】上記薄膜エピタキシャルウエハEP、は、まず、シリコン5aをコーティングしたサセプタ5b上にp型の高濃度の半導体基板本体22(図8(a))を置き、HC1ガスを流しながらサセプタ5bからシリコンを高濃度の半導体基板本体22の裏面に転写させて、高濃度の半導体基板本体22の裏面をシリコン膜4によって被覆した後(図8(b))、高濃度の半導体基板本体22の表面にノンドーピングエピタキシャル層23を形成し、次いで、ノンドーピングエピタキシャル層23上に所望の抵抗率を有するp型のエピタキシャル層24を形成するこ

とによって、製造される(図8(c))。

【0056】このように、本実施の形態6によれば、高濃度の半導体基板22の表面にノンドープエピタキシャル層23を設け、高濃度の半導体基板22の裏面にシリコン膜4を設けることにより、エピタキシャル層24を形成する際に生じるオートドーピングを防ぐことができる。

【0057】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0058】例えば、前記実施の形態では、p型のシリコン単結晶によって構成される半導体基板本体について説明したが、n型のシリコン単結晶によって構成される半導体基板本体についても適用可能である。

【0059】また、前記実施の形態1または2では、p型のシリコン単結晶によって構成される半導体基板本体について説明したが、n型のシリコン単結晶によって構成される半導体基板本体についても同様であり、n型の半導体基板本体の場合のゲッタリング層は、砒素、アンチモンまたはリンからなる高濃度の半導体領域によって構成される。

【0060】また、前記実施の形態2、3または4では、半導体基板本体の裏面にゲッタリング層を形成した後、半導体基板本体の表面にエピタキシャル層を形成したが、半導体基板本体の表面にエピタキシャル層を形成した後に、半導体基板本体の裏面にゲッタリング層を形成してもよく、同様な効果が得られる。

【0061】また、前記実施の形態5または6では、半導体素子を形成するエピタキシャル層を抵抗率が約10Ω・cmのエピタキシャル層としたが、ノンドープエピタキシャル層としてもよい。

【0062】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0063】本発明によれば、薄膜エピタキシャルウエハにおいて、高いゲッタリング効果が得られ、半導体素子が形成されるエピタキシャル層に汚染不純物の影響を及ぼさないようにすることができるので、半導体集積回路装置の歩留まりおよび信頼性を向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である薄膜エピタキシャルウエハの断面図である。

【図2】本発明の一実施の形態である薄膜エピタキシャルウエハの製造方法を示す薄膜エピタキシャルウエハの断面図である。

【図3】本発明の一実施の形態である薄膜エピタキシャ

ルウエハを用いたnチャネル型MISFETを示す半導体基板の要部断面図である。

【図4】本発明の他の実施の形態である薄膜エピタキシャルウエハおよびその製造方法を示す薄膜エピタキシャルウエハの断面図である。

【図5】本発明の他の実施の形態である薄膜エピタキシャルウエハおよびその製造方法を示す薄膜エピタキシャルウエハの断面図である。

【図6】本発明の他の実施の形態である薄膜エピタキシャルウエハおよびその製造方法を示す薄膜エピタキシャルウエハの断面図である。

【図7】本発明の他の実施の形態である薄膜エピタキシャルウエハおよびその製造方法を示す薄膜エピタキシャルウエハの断面図である。

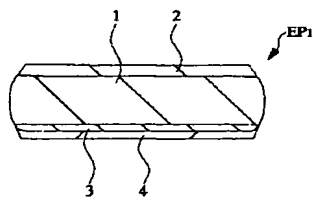
【図8】本発明の他の実施の形態である薄膜エピタキシャルウエハおよびその製造方法を示す薄膜エピタキシャルウエハの断面図である。

【符号の説明】

- 1 半導体基板本体
- 2 エピタキシャル層
- 3 ゲッタリング層(高濃度のボロン領域)
- 4 シリコン膜
- 5a シリコン
- 5b サセブタ
- 6 フィールド絶縁膜
- 7 n⁻型半導体領域
- 8 n⁺型半導体領域
- 9 しきい値電圧制御層
- 10 ゲート絶縁膜
- 11 ゲート電極
- 12 絶縁膜
- 13 接続孔
- 14 配線層
- 15 絶縁膜
- 16 サイドウォールスペーサ
- 17 酸化膜
- 18 ゲッタリング層(高濃度の酸素領域)
- 19 BSG膜
- 20 ゲッタリング層(高濃度のボロン領域)
- 21 ノンドープガラス膜
- 22 高濃度の半導体基板本体
- 23 ノンドープエピタキシャル層
- 24 エピタキシャル層
- 25 多結晶シリコン膜
- EP₁ 薄膜エピタキシャルウエハ
- EP₂ 薄膜エピタキシャルウエハ
- EP₃ 薄膜エピタキシャルウエハ
- EP₄ 薄膜エピタキシャルウエハ
- EP₅ 薄膜エピタキシャルウエハ
- EP₆ 薄膜エピタキシャルウエハ

【図1】

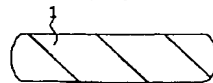
図 1



1: 半導体基板本体
2: エピタキシャル層
3: ゲッタリング層
4: シリコン膜

【図2】

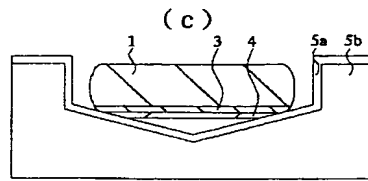
図 2



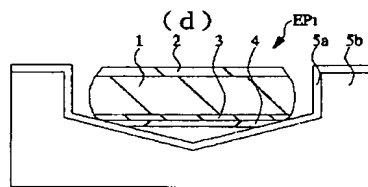
(a)



(b)



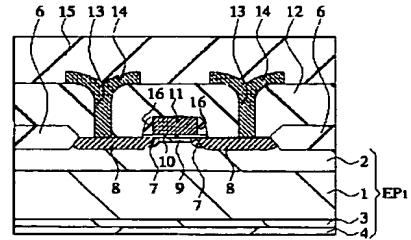
(c)



(d)

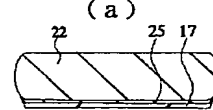
【図3】

図 3

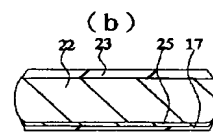


【図7】

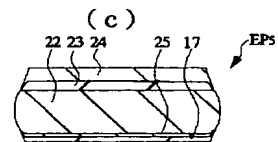
図 7



(a)



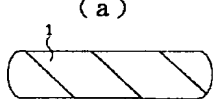
(b)



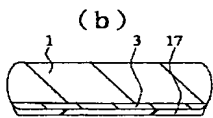
(c)

【図4】

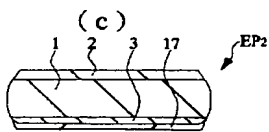
図 4



(a)



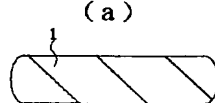
(b)



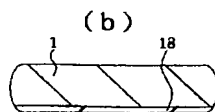
(c)

【図5】

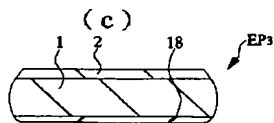
図 5



(a)



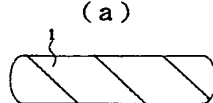
(b)



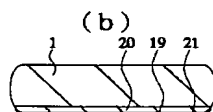
(c)

【図6】

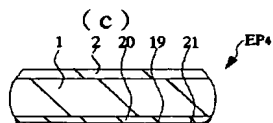
図 6



(a)



(b)

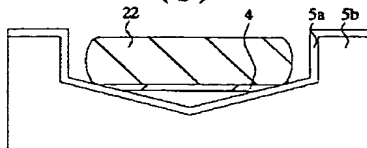


(c)

【図8】

図 8
(a)

(b)



(c)

